

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-22048

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.⁵
H 03 F 3/30
1/02
3/19

識別記号
H 03 F 3/30
1/02
3/19

序内整理番号
8836-5 J
7239-5 J
7328-5 J

F I

技術表示箇所

(21)出願番号 特願平3-198581

(22)出願日 平成3年(1991)7月12日

(71)出願人 000128094

株式会社エヌエフ回路設計ブロック
横浜市港北区綱島東6丁目3番20号

(72)発明者 平井順

横浜市港北区綱島東6-3-20 株式会社
エヌエフ回路設計ブロック内

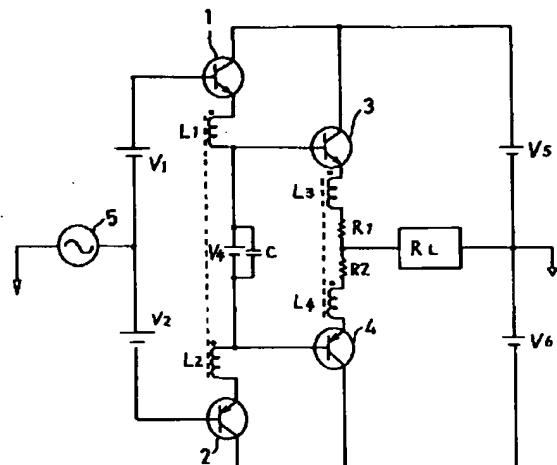
(74)代理人 弁理士 福山正博

(54)【発明の名称】 コンプリメンタリ増幅回路

(57)【要約】

【目的】高周波帯域動作においても短絡電流を格段に抑制可能で、コンプリメンタリ回路の対称性を改善する。

【構成】一対の正負トランジスタの出力側にトランスを構成する同一巻数の1次巻選択と2次巻線を接続することにより、つまり、コンプリメンタリ配置された段の回路の正負一組のトランジスタ出力の間に後段回路への出力を挟むようにトランスを設けることにより、高周波帯域での動作時に正負のトランジスタ間に流れる短絡電流を抑制し、コンプリメンタリ回路の対称性を改善する。



1

【特許請求の範囲】

【請求項1】正負の一対のトランジスタで構成される少なくとも一段のドライブ段回路と、このドライブ段回路によりドライブされる出力段回路とを有するコンプリメンタリ増幅回路において、

前記ドライブ段回路の前記一対のトランジスタのエミッタにそれぞれ同一巻数の1次巻線と2次巻線が接続されたトランスを備えて成ることを特徴とするコンプリメンタリ増幅回路。

【請求項2】正負の一対のトランジスタで構成される少なくとも一段のドライブ段回路と、このドライブ段回路によりドライブされる出力段回路とを有するコンプリメンタリ増幅回路において、

前記ドライブ段回路の前記一対のトランジスタのエミッタにそれぞれ同一巻数の1次巻線と2次巻線が接続された第1のトランスと、

前記出力段回路の前記一対のトランジスタのエミッタにそれぞれ同一巻数の1次巻線と2次巻線が接続された第2のトランスと、

を備えて成ることを特徴とするコンプリメンタリ増幅回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、コンプリメンタリ増幅回路に関し、特にコンプリメンタリ回路の対称性を改善したコンプリメンタリ増幅回路に関する。

【0002】

【従来の技術】従来のコンプリメンタリ増幅回路の一例として図4にコンプリメンタリエミッタフォロワ増幅回路図が示されている。かかる増幅回路は、それぞれが一対の正負のトランジスタを有する少なくとも一段のドライブ段と最終出力段で構成されている。NPNトランジスタ1とPNPトランジスタ2は、ドライブ段を構成する一対の正負トランジスタで電圧源V1およびV2によってバイアス電圧が供給され、トランジスタ1と2の直流的な動作点がA級にバイアスされている。また、出力段を構成するNPNトランジスタ3とPNPトランジスタ4には、定電圧源V4からバイアス電圧が供給され、A級にバイアスされている。ドライブ段のトランジスタ1のエミッタとトランジスタ3のベースとが接続され、トランジスタ2のエミッタとトランジスタ4のベースとが接続される。出力段のトランジスタ3と4のエミッタ間には、出力抵抗R1とR2が接続され、抵抗R1とR2の接続点には、負荷RLが接続されている。トランジスタ1と3のコレクタおよびトランジスタ2と4のコレクタには、電圧源V5とV6から所定の直流電源電圧が供給されている。

【0003】負荷RLに電力を供給するための交流信号は、信号源5と6から供給され、トランジスタ1と2のベース、エミッタ、トランジスタ3と4のベース、エミ

2

ッタを経て負荷RLに出力される。負荷RLに流れる電流は、電圧源V5とV6からトランジスタ3と4のエミッタ電流として供給される。このとき、トランジスタ3と4のベースには、 $I_B = I_E / h_{FE}$ (I_E はエミッタ電流、 h_{FE} はトランジスタ3と4の電流増幅率) のベース電流が流れようとするので、トランジスタ1と2は、このベース電流の交流信号分を十分に供給できるようにしている。トランジスタ3および4のベース電流の交流分は、図のi1とi2およびi3とi4の経路で供給されるが、これら経路には定電圧源V4が挿入されており、トランジスタ1によるトランジスタ4のドライブや、トランジスタ2によるトランジスタ3のドライブ時には定電圧源V4のインピーダンスが障害となり、ドライブ特性に影響を与える。その結果、トランジスタ3と4のドライブが正負で非対称的なものとなり、動作速度、過渡動作特性が悪化してしまう。そこで、定電圧源V4に並列にコンデンサCを接続し、交流信号に対する定電圧源V4の交流インピーダンスが十分小さくなるようにしている。また、出力抵抗R1とR2は、トランジスタ3および4の直流動作点の安定度向上に寄与している。

【0004】

【発明が解決しようとする課題】上述のように、従来の多段構成のコンプリメンタリ増幅回路においては、ドライブ段の一対のトランジスタ1と2の出力(エミッタ)間には出力段トランジスタをバイアスするための定電圧源V4が接続されるとともに、この定電圧源V4には並列にコンデンサCを接続して、上記一対のトランジスタ出力間の交流的インピーダンスを低インピーダンスとするように構成されている。しかしながら、かかる構成のコンプリメンタリ増幅回路では、上記定電圧源V4に並列に接続されているコンデンサCに起因して高周波動作特性が悪化する。すなわち、コンデンサCは、高周波動作時に、低インピーダンスであり、また、ドライブ段のトランジスタ1と2のエミッタフォロワ出力は低インピーダンスであり、両トランジスタ1と2のエミッタ間を該低インピーダンスのコンデンサCで結んだ場合には短絡電流が流れ易く、増加傾向になる。また、出力段のトランジスタ3と4の出力抵抗R1とR2を直流動作点安定度の観点から最適値に設定しても、高周波帯域での短絡電流の増加を防止することには十分に寄与しない。

【0005】したがって、上記従来のコンプリメンタリ増幅回路は、高周波や高速動作時における短絡電流が増加してしまうため、回路の消費電流が増加し、効率が低下するだけでなく、過渡動作特性悪化をきたしてしまう問題がある。かかる短絡電流の増加は、出力段のトランジスタの出力側にも同様に現れてしまう。

【0006】そこで、本発明の目的は、高周波帯域動作においても短絡電流を格段に抑制可能で、対称性を改善したコンプリメンタリ増幅回路を提供することにある。

【0007】

【課題を解決するための手段】前述の課題を解決するため、本発明によるコンプリメンタリ増幅回路は、正負の一対のトランジスタで構成される少なくとも一段のドライブ段回路と、このドライブ段回路によりドライブされる出力段回路とを有するコンプリメンタリ増幅回路において、前記ドライブ段回路の前記一対のトランジスタのエミッタにそれぞれ同一巻数の1次巻線と2次巻線が接続されたトランジスタを備えて構成される。また、本発明の他の態様によるコンプリメンタリ増幅回路は、正負の一対のトランジスタで構成される少なくとも一段のドライブ段回路と、このドライブ段回路によりドライブされる出力段回路とを有するコンプリメンタリ増幅回路において、前記ドライブ段回路の前記一対のトランジスタのエミッタにそれぞれ同一巻数の1次巻線と2次巻線が接続された第1のトランジスタと、前記出力段回路の前記一対のトランジスタのエミッタにそれぞれ同一巻数の1次巻線と2次巻線が接続された第2のトランジスタと、を備えて構成される。

【0008】

【作用】本発明では、一対の正負トランジスタの出力側にトランジスタを構成する同一巻数の1次巻線と2次巻線を接続することにより、つまり、コンプリメンタリ配置された段の回路の正負一組のトランジスタ出力の間に後段回路への出力を挟むようにトランジスタを設けることにより、高周波帯域での動作時に正負のトランジスタ間に流れる短絡電流を抑制し、コンプリメンタリ回路の対称性を改善する。

【0009】

【実施例】次に、本発明について図面を参照しながら説明する。図1は、本発明によるコンプリメンタリ増幅回路の一実施例を示す回路図である。図中、図3と同一符号が付されている回路要素は同様な要素である。本実施例回路は、図4と同様に、ドライブ段のトランジスタ1と2のベースには、定電圧源V1とV2が接続され、交*

$$I_c = V_c / (R_{21} + 2R)$$

$$I_N = V_N / (2R_{21})$$

で表される。一方、図2が図1の実施例回路の図5と同様な等価回路である。図2において、図5と同一符号が付されている回路要素は同一要素を示す。本実施例においては、トランジスタ1と2のエミッタ側に、つまり、図2における抵抗R₂₁には1次巻線L₁が、抵抗R₂₂に※

$$I_c = V_c / \{ (R_{21} + 2R) + j\omega(L - M) \}$$

$$I_N = V_N / 2 \{ R_{21} + j\omega(L + M) \} \quad \cdots (4)$$

となる。ここで、トランジスタの1次巻線および2次巻線のインダクタンスをL、1次側対2次側の相互インダクタンスをMとする。トランジスタの結合係数k=1とすると、

$$L - M = (1 - k)L$$

*流源5から信号が供給されている。一対のトランジスタ1と2のエミッタ間に、トランジスタを構成する同一巻数の1次巻線L₁と2次巻線L₂が接続され、これら1次巻線L₁と2次巻線L₂間に、定電圧源V4とコンデンサCの並列回路が接続されている。また、1次巻線L₁の一端がトランジスタ3のベースに、2次巻線L₂の一端がトランジスタ4のベースに接続されている。また、出力段のトランジスタ3と4のエミッタ間に、トランジスタを構成する1次巻線L₃と2次巻線L₄が接続され、1次巻線L₃と2次巻線L₄間に、出力抵抗R₁とR₂が直列挿入されており、抵抗R₁とR₂の接続点には負荷R_Lが接続されている。出力段のトランジスタ3と4には、定電圧源V5とV6からの直流電源電圧が供給されている。

【0010】さて、図1に示す実施例により高周波帯域での動作状態における短絡電流を大幅に低減できる原理を以下説明する。図4に示す従来回路は、図5に示すような等価回路で表される。21Aと22Aおよび23Aと24Aは、トランジスタ1と2および3と4の増幅機能部を示し、信号源25は、信号源5を示している。差動電圧信号源26と27および28と29は、正負トランジスタ1と2および3と4の特性差により発生する短絡電流の信号源を等価的に示す。抵抗R₂₁とR₂₂（通常R₂₁と等しい）はトランジスタ1と2のエミッタ抵抗を、抵抗R₂₃とR₂₄はトランジスタ3と4のエミッタ抵抗と出力抵抗R₁とR₂を含む抵抗分を示している。図5から明らかのように、交流動作に着目したときのドライブ段と出力段の基本的構成は同一であるから、動作原理を説明するため一方の構成部のみを図6に示している。図6において、20は、負荷を示し、図4における出力段側全体を含む負荷を示している。

【0011】図6において、信号源25の電圧をV_c、差動電圧信号源26と27の電圧をそれぞれV_N/2、負荷20の抵抗をRとすると、負荷20に流れる負荷電流I_cと短絡電流I_Nは、

$$\cdots (1)$$

※は2次巻線L₂がそれぞれ接続されている。図2のドライブ段の等価回路が図3に示されている。図3において、信号源25の電圧をV_c、差動電圧信号源26と27の電圧をそれぞれV_N/2とおいて、I_cとI_Nを求める。

$$\cdots (3)$$

$$\cdots (4)$$

$$\star L + M = (1 + k)L$$

であるから、式(3)と(4)は、それぞれ式(5)と(6)のように表される。

$$I_c = V_c / \{ (R_{21} + 2R) + j\omega((1 - k)L) \}$$

$$= V_c / (R_{21} + 2R) \quad \cdots (5)$$

$$I_N = V_N / 2 \{ R_{21} + j \omega ((1+k) L) \}$$

$$= V_N / (2 R_{21} + j \omega 4 L)$$

… (6)

式(1)と式(5)を比較すると、負荷電流は同一である。しかし、式(2)と式(6)を比較すればわかるように、本実施例回路によれば、短絡電流を表す式の分母に $(j \omega 4 L)$ が追加されているので、短絡電流は、この順によって抑圧される。この抑圧程度は、動作周波数が高くなればなるほど大きくなる。トランジスタの結合係数 k は、トロイダルコア等を用いることにより、容易に $0.9 \sim 0.99$ 程度の値を得ることができるので、本発明の効果も簡単に得られることになる。

【0012】図1の実施例では、出力段トランジスタのエミッタ側にも同様にトランジスタを構成する同一巻数の1次巻線 L_3 と2次巻線 L_4 が接続されており、したがって、出力段の一対のトランジスタにおいても高周波帯域動作における短絡電流の低域効果が得られ、回路全体の消費電力の増大を格段に小さくできる。

【0013】以上の実施例では、正負トランジスタとしてはNPNトランジスタとPNPトランジスタを用いているが、FET等の他の種類のトランジスタを用いる場合についても本発明が適用できることは勿論である。

【0014】

【発明の効果】以上説明したように、本発明によるコンプリメンタリ増幅回路は、一対の正負トランジスタの出*

*力側にトランジスタを構成する同一巻数の1次巻線と2次巻線を接続しているので、つまり、コンプリメンタリ配置された段の回路の正負一組のトランジスタ出力の間に後段回路への出力を挟むようにトランジスタを設けているので高周波帯域での動作時に正負のトランジスタ間に流れる短絡電流が従来と比較して格段に抑制でき、コンプリメンタリ回路の対称性が向上される。その結果、高速動作時の過渡特性を大幅に改善し、ひずみや異常な発振現象を防止できる。

【図面の簡単な説明】

【図1】本発明によるコンプリメンタリ増幅回路の一実施例を示す回路図である。

【図2】図1に示す実施例回路の等価回路図である。

【図3】図2の等価回路の基本部を示す等価回路図である。

【図4】従来のコンプリメンタリ増幅回路図である。

【図5】図4に示す実施例回路の等価回路図である。

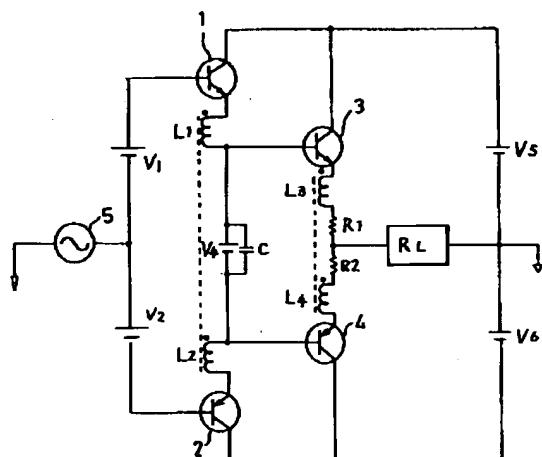
【図6】図5の等価回路の基本部を示す等価回路図である。

【符号の説明】

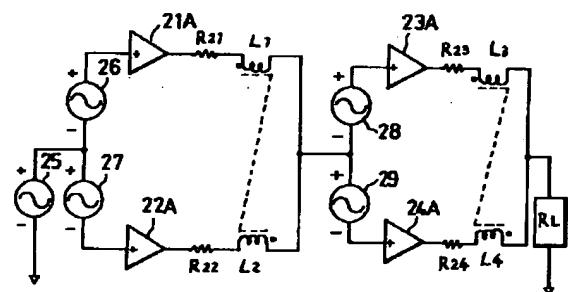
1, 2, 3, 4 トランジスタ

5 信号源

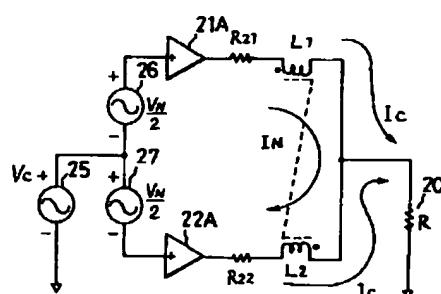
【図1】



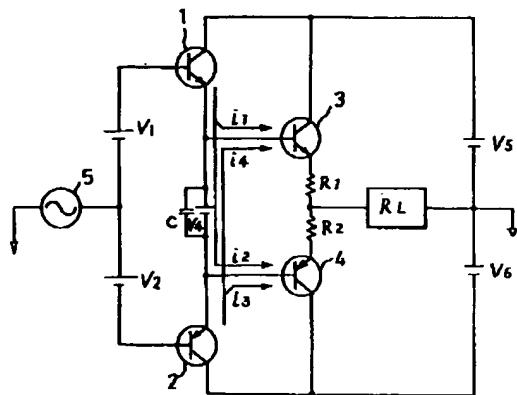
【図2】



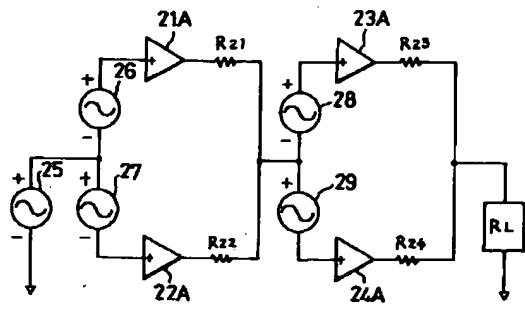
【図3】



【図4】



【図5】



【図6】

